

CIRCUIT SUBSTRATE DEVICE

Publication number: JP9252191

Publication date: 1997-09-22

Inventor: SAITO YASUTO; MAEKAWA YOKO

Applicant: TOKYO SHIBAURA ELECTRIC CO; TOSHIBA AVE KK

Classification:

- International: H05K9/00; H01L21/822; H01L27/04; H05K9/00;
H01L21/70; H01L27/04; (IPC1-7): H05K9/00;
H01L21/822; H01L27/04

- European:

Application number: JP19960057856 19960314

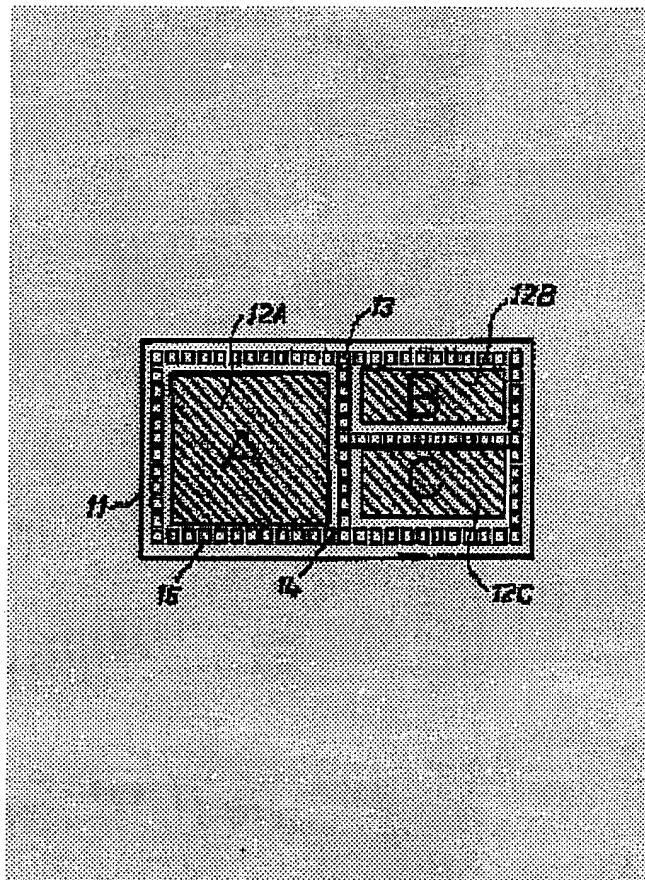
Priority number(s): JP19960057856 19960314

[Report a data error here](#)

Abstract of JP9252191

PROBLEM TO BE SOLVED: To obtain a small size and light weight shielding device without using a metal shield case. **SOLUTION:**

Electrical connection with a circuit substrate may be made by providing a connection pad 14 on the reference voltage pattern 13 arranged between a plurality of circuit blocks 12A to 12C formed on a semiconductor chip 11, and the upper side of the circuit blocks 12A to 12C is provided with silicon of the semiconductor chip 11 while the lower side is provided with the reference potential layer. Accordingly, shielding can be made in such a manner as surrounding the circuit blocks 12A to 12C.



T-9425

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-252191

(43)公開日 平成9年(1997)9月22日

(51) Int.Cl.⁶
 H 05 K 9/00
 H 01 L 27/04
 21/822

識別記号

府内整理番号

F I

H 05 K 9/00
 H 01 L 27/04

技術表示箇所

Q
H

審査請求 未請求 請求項の数8 OL (全5頁)

(21)出願番号

特願平8-57856

(22)出願日

平成8年(1996)3月14日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221029

東芝エー・ブイ・イー株式会社

東京都港区新橋3丁目3番9号

(72)発明者 齋藤 康人

東京都港区新橋3丁目3番9号 東芝エー・ブイ・イー株式会社内

(72)発明者 前川 陽子

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

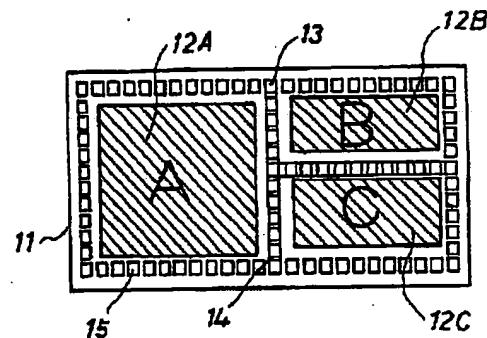
(74)代理人 弁理士 須山 佐一

(54)【発明の名称】 回路基板装置

(57)【要約】

【課題】金属製シールドケースを用いることなく、小型で軽量なシールド効果に優れた回路基板装置を提供する。

【解決手段】半導体チップ11に形成された複数の回路ブロック12A～12C間に配置された基準電位パターン13上に、接続パッド14を設けて回路基板との電気的な接続を行うとともに、回路ブロック12A～12Cの上側には半導体チップ11のシリコンにより、下側は基準電位層21下層を形成しているため、回路ブロック12A～12Cを囲む形でシールドすることができる。



【特許請求の範囲】

【請求項1】 絶縁基板に回路パターンを固着して形成した回路基板と、

前記回路基板に電気的に接続された、電波吸収または電波反射を行うためのシールド部材及び複数の回路ブロック及び前記回路基板と電気的に接続を行うための入出力パッドを有する複合素子と、

前記複合素子内に形成された複数の回路ブロック間に配置された基準電位層と、

前記基準電位層上に配置された、前記回路基板と電気的に接続を行うための接続パッドと、

前記回路基板または該回路基板の近傍に形成された、電波吸収または電波反射を行うためのシールド部材とからなることを特徴とする回路基板装置。

【請求項2】 前記複合素子内に形成された基準電位層は、前記接続パッド上に形成された複数個のバンプにより前記回路基板へ電気的に接続されていることを特徴とする請求項1記載の回路基板装置。

【請求項3】 前記複合素子内に形成された基準電位層は、前記接続パッド上に形成された連続した金属層により前記回路基板へ電気的に接続されていることを特徴とする請求項1記載の回路基板装置。

【請求項4】 前記複合素子は、導電性を有する半導体材料により構成されていることを特徴とする請求項1記載の回路基板装置。

【請求項5】 前記複合素子内に形成された基準電位層は、前記導電性を有する半導体材料に電気的に接続されていることを特徴とする請求項4記載の回路基板装置。

【請求項6】 前記複合素子は、絶縁性を有する半導体材料により構成されており、裏面に基準電位を有する金属層が形成されていることを特徴とする請求項1記載の回路基板装置。

【請求項7】 前記回路基板に形成されるシールド部材は、少なくとも前記複合素子が接続される面の他方の面または内層面に形成されていることを特徴とする請求項1記載の回路基板装置。

【請求項8】 前記回路基板の近傍に形成されるシールド部材は、前記回路基板を収納する管体面または内部に形成されていることを特徴とする請求項1記載の回路基板装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、特に高周波用に好適なシールド機能を備えた回路基板装置に関する。

【0002】

【従来の技術】 近年、高度情報化社会の進展に伴い、通信分野においては携帯電話等の移動通信機器が急速に普及し、またデータ通信や画像通信が発展してきた。これらは、今後ますます高速・高機能化、高周波化が進むことが予想され、また機器の小型化も急速に進むと考えら

れる。

【0003】 このような機器の小型化に伴い、回路のIC化やモジュール化も、当然のことならさらに進んでいくことが予想されるが、例えば半導体チップの場合、1つのチップ内に複数の回路ブロックを搭載させることで、より小型化を実現することが可能となる。

【0004】 例えば、図6にテレビ用チューナのブロック図を示すが、大きく分けると高周波アンプ61、ミキサー62、発振器63の3ブロックから構成されている。これらを例えば1チップ化した場合、図7に示すように1つの半導体チップ71内に3つのブロック、すなわち高周波アンプブロック64、ミキサーブロック65、発振器ブロック66に分けて配置されるが、それぞれの回路ブロック64～66間での干渉を防止するため、例えば接地、電源等回路の基準電位パターン72を各回路ブロック64～66間に蒸着法等により形成する。また、通常半導体チップ1の外周に沿って、外部との接続パッド73を形成する。

【0005】 このように、1つの半導体チップ内に複数個の回路ブロックを搭載することで部品の小型化が可能となるが、機器全体として考えた場合、この半導体チップを配線基板へ実装する方法によって全体の大きさが異なってくる。一般的に、半導体チップを最も小型に実装する方法としては、フリップチップ実装法が用いられており、図8によりその構造を説明する。なお、半導体チップは図7において説明した半導体チップを用いた。

【0006】 図8に示すように、ガラエポ、アルミナ等の絶縁基板81上にエッチング法等により形成された銅等の配線パターン82を固着して回路基板83を形成する。次に複数の回路ブロック84を有し、かつ各回路ブロック間に基準電位パターン72を有する半導体チップ71に形成された接続パッド73を、金等のバンプ85を介して回路基板83の配線パターン82と電気的に接続された接続ランド86に熱圧着法等により接続する。

【0007】 ここで、特に高周波回路等においては、単に部品を回路基板に実装するだけではなく、十分なノイズ対策を施さなければならない。ノイズは大きく分けると、放射ノイズと伝導ノイズに分けられるが、それぞれ対策は異なる。伝導ノイズについては、伝導経路の把握ができればノイズフィルタ等対策は比較的容易に行うことができるが、放射ノイズについてはノイズ発生源の特定が難しい。一般的には、図8に示したように回路基板全体を金属から成るシールドケース87内に収納する方法がとられる。

【0008】 しかしながら、回路基板全体のシールドは行われているものの、半導体チップ71に形成された複数の回路ブロック84間のシールドについて考えると、同一面上に形成された基準電位パターン72のみでのシールドであり、基準電位パターン72上の空間を通じて互いに干渉しあい、シールドとしては不十分なものであ

った。また、金属製シールドケースを使用しているため、特に携帯電話等の小型電子機器においては、小型化や軽量化の妨げとなっている。

【0009】

【発明が解決しようとする課題】上記した従来の回路基板装置では、1つの半導体チップ内に複数の回路ブロックが搭載された場合に十分なシールド効果が得られず、また装置の小型化・軽量化の妨げになる、という問題があった。

【0010】この発明は、金属製シールドケースを用いることなく、小型で軽量なシールド効果に優れた回路基板装置を提供する。

【0011】

【課題を解決するための手段】上記した課題を解決するために、この発明の回路基板装置は、絶縁基板に回路パターンを固着して形成した回路基板と、前記回路基板に電気的に接続された、電波吸収または電波反射を行うためのシールド部材及び複数の回路ブロックを有する複合素子と、前記複合素子内に形成された複数の回路ブロック間に配置された基準電位層と、前記基準電位層上に配置された、前記回路基板と電気的に接続を行うための接続パッドと、前記回路基板または該回路基板の近傍に形成された、電波吸収または電波反射を行うためのシールド部材とからなることを特徴とする。

【0012】上記した手段により、複合素子に形成された複数の回路ブロック間に配置された基準電位層上に、接続パッドを設けて回路基板との電気的な接続を行うとともに、複数の回路ブロックの上下にはそれぞれシールド層が形成されているため、各回路ブロックを基準電位層またはシールド層に囲む形でシールドすることができる。

【0013】

【発明の実施の形態】以下、この発明の実施の形態について、図面を参照しながら詳細に説明する。この発明の第1の実施の形態について、図1の平面図及び図2の断面図を用いて説明する。まず、図1において、半導体チップ11内には、回路ブロック12A～12Cを形成し、それぞれの回路ブロック間に、例えば接地、電源等回路の基準電位パターン13を蒸着法等により形成する。ここで、基準電位パターン13上へは、回路基板へ接続を行うための、複数個の接続パッド14を形成する。また、半導体チップ11の外周に沿って、外部との接続を行うための接続パッド15が形成されている。

【0014】次に図2に示すように、ガラエポ、アルミニナ等の絶縁基板16上にエッティング法等により形成された銅等の配線パターン17を固着して形成された回路基板18の、配線パターン17と電気的に接続された接続ランド19上に、半導体チップ11に形成された外部との接続パッド15及び基準電位接続パッド14を、金等のバンプ20を介して熱圧着法等により接続する。ま

た、回路基板18の片面は、ほぼ全面をベタバターンとし、接地、電源等回路の基準電位パターンへ電気的に接続することにより、基準電位層21を形成する。

【0015】ここで、複合素子としては半導体チップ11を例に上げたが、素子を形成する半導体基板としては、シリコン等の導電性を有する基板を用いるか、またはガリウムヒ素等の非導電性基板を用いる場合は、裏面に金等の金属をバックコーティングしたもの用いる。

【0016】最後に、エポキシ等の樹脂22を用いて、半導体チップ11の接続部及びその周辺を封止するものである。

【0017】このように、複合素子を例えば半導体チップ11とした場合、半導体チップ11上に形成された複数の回路ブロック12A～12Cは、それぞれ回路基板18に形成された基準電位層21と、ほぼ全体または少なくとも裏面全体が導電材料から成る半導体チップ11と、半導体チップ11に形成された基準電位パターン上から直接、回路基板18へ電気的に接続された基準電位層により囲まれるため、金属製シールドケースを用いることなく、十分なシールド効果を得ることができるとともに、小型・軽量化を実現することができる。

【0018】さらに、シールド効果を高めるためには、回路基板18の半導体チップ11の接続用ランド19の周囲に、複数個の基準電位を有するスルーホールを形成した構造と、回路基板18の半導体チップ11が配置される以外の箇所に、基準電位層21を形成した構造を取ることより効果が高まる。

【0019】図3に、この発明の第2の実施の形態を説明するための半導体チップの断面構造図である。例えば、シリコンのような導電性を有する半導体基板23を用いる場合は、シリコン23上に酸化膜24を形成した後に、配線パターン25及び接続パッド26を形成する。その後、基準電位パターン27を形成する部分の酸化膜24にコンタクトホール28を設けて、直接シリコン23上へ基準電位パターン27を電気的に接続することにより、より高いシールド効果を得ることもできる。

【0020】ここで、図2の実施の形態で用いた半導体チップ用の回路基板として、一般的に用いられるシリコン基板のシールド効果について、実験した結果について説明する。

【0021】50MHz～1800GHzの高周波信号の入出力端子を、それぞれ特性インピーダンス50Ωで終端し、入力端子から出力端子までの距離を約20mm離して配置した。その一端の周囲を一面のみ開放して金属板で囲み、開放部に被測定物である厚さ0.45mmのシリコン基板を配置してノイズ除去の効果について調べた。その結果、開放状態に比べて約10dB～20dBノイズレベルを低減することができた。この値は、金属板によりシールドした場合の約20dB～25dB低減と比べても、周波数によってはほぼ同等であり、実用

上全く問題外と言える。

【0022】また、半導体チップ11上に形成された基準電位パターン13と回路基板18を接続するためのパンプ20形状について、この実施の形態においては複数個のパンプを半導体チップ11上へ形成して接続を行った例について説明したが、基準電位パターン13上へメッキ法、印刷法等により連続した金属膜を形成しても同様の効果が得られる。

【0023】また、半導体チップ11上に形成された基準電位パターン13と回路基板18を接続するためのパンプ20は、回路基板18に形成された接続ランド19上へ形成しても何ら問題はない。

【0024】この実施の形態においては、複数の回路ブロックを有する複合素子として半導体チップを例に挙げて説明したが、複合素子に形成される回路ブロックは、例えば抵抗、コンデンサ等により構成される回路ブロックであっても何ら問題はない。ただし、これらの素子を形成する部材は、例えばアルミニウム等の金属基板、フェライト等の絶縁性を有する磁性体基板、または少なくとも一方の面または内層面ほぼ全面に、金属層または絶縁性を有する磁性体層が形成されたアルミナ等の絶縁基板等、一面または内層面または材料自体に、電波反射または電波吸収を行うためのシールド部材を有する部材であれば同様の効果を得ることができ、何ら制限されるものではない。さらに、回路基板18に形成した基準電位層は最外面に形成されているが、回路基板18の内層面であってもかまわない。

【0025】図4は、この発明の第3の実施の形態を説明するための断面図である。この実施の形態は、基準電位層50を、回路基板18の半導体チップ11の回路ブロック12A～12Cに対向する面に形成したものである。

【0026】この実施の形態では、背面が半導体シリコンによりシールドされている各回路ブロック12A～12Cの表面と対向する位置の回路基板18に基準電位層41を形成したために、回路基板18に沿って飛び込んでくる妨害波に対するシールドも行うことができるから、第1の実施の形態に比べてシールド効果の向上を図ることができる。

【0027】図5は、この発明の第4の実施の形態について説明するための断面図である。上記した各実施の形態では回路基板18に基準電位層を形成してきたが、この実施の形態では、半導体素子11に形成された回路ブロック12A～12Cの非シールド面側を、半導体素子11を接続した回路基板18を収納するための筐体51に基準電位層52を対向配置したものである。

【0028】このように、基準電位層52を回路基板1

8を介して回路ブロック12A～12Cを対向させても回路ブロック12A～12Cのシールド効果を得ることができる。なお、ここで筐体51そのものを基準電位を有する金属により形成してもかまわない。

【0029】上記したように、この発明ではシールドを必要とする、複合素子に形成された複数の回路ブロック間の、基準電位層上へ形成された接続パッドによって、回路基板との電気的な接続を行うとともに、かつ複数の回路ブロックの上下にはそれぞれシールド層を形成することで、各回路ブロックを基準電位層またはシールド層で囲む形にシールドすることができる。従って、金属製のシールドケース等の特別なシールド部材を用いることなく、シールドが実現できるため、小型で軽量な回路基板構造を得ることができる。

【0030】上記した各実施の形態では、複合素子と回路基板の接続方法について詳細な説明を行っていないが、例えば導電性接着剤、異方性導電膜等の接続部材を用いた接続、はんだパンプを用いたはんだ接続等、接続方法について制約されるものではない。

20 【0031】

【発明の効果】以上説明したように、この発明の回路基板装置によれば、金属製シールドケースを用いることなくシールド効果が得られることから、小型で軽量な回路基板構造を実現することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態を説明するための平面図である。

【図2】この発明の第1の実施の形態を説明するための断面図である。

30 【図3】この発明の第2の実施の形態を説明するための断面図である。

【図4】この発明の第3の実施の形態を説明するための断面図である。

【図5】この発明の第4の実施の形態を説明するための断面図である。

【図6】従来の回路基板装置を説明するための回路ブロック図である。

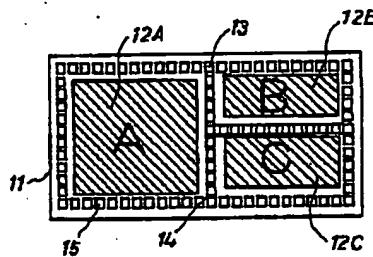
【図7】従来の回路基板装置を説明するための平面図である。

40 【図8】従来の回路基板装置を説明するための断面図である。

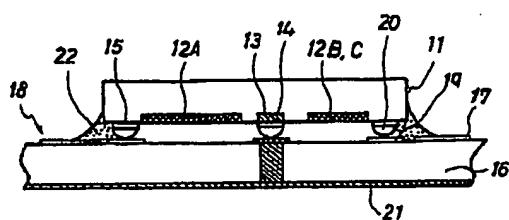
【符号の説明】

11…半導体チップ、12…回路ブロック、13…基準電位パターン、14, 15…接続パッド、16…絶縁基板、17…配線パターン、18…回路基板、19…接続ランド、20…パンプ、21…基準電位層、22…樹脂。

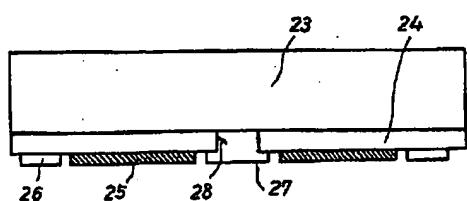
【図1】



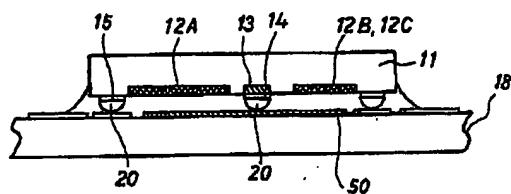
【図2】



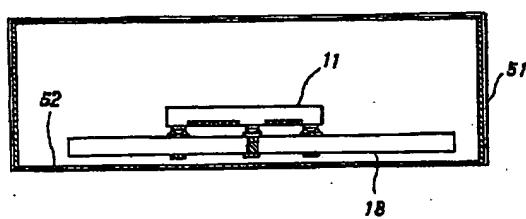
【図3】



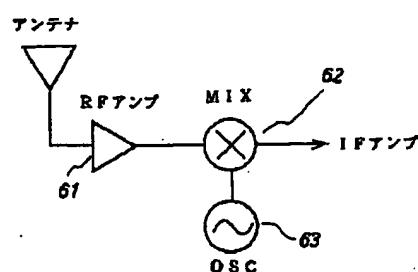
【図4】



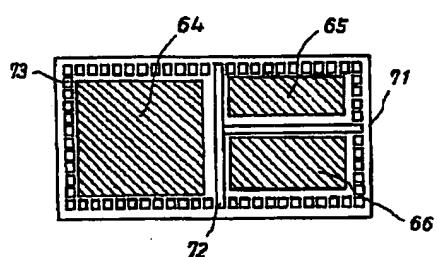
【図5】



【図6】



【図7】



【図8】

